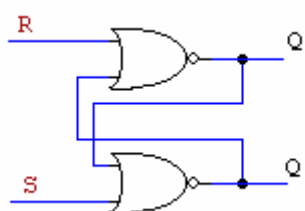


فصل ششم

فلیپ فلاپ نوع RS و D

فلیپ فلاپ نوع RS:

تمامی فلیپ فلاپها از قانون فیدبک یا برگشت سیگنال از خروجی استفاده می نمایند. از جمله این فلیپ فلاپها که پایه و اساس فلیپ فلاپ نوع D نیز هست، فلیپ فلاپ نوع RS می باشد. شکل ۶-۱ مدار داخلی فلیپ فلاپ نوع RS ساده را نمایش می دهد.



شکل ۶-۱ مدار داخلی فلیپ فلاپ نوع RS

همانگونه که در شکل فوق نیز مشاهده می نمایید، این نوع فلیپ فلاپ نیز از قانون برگشت سیگنال از خروجی استفاده می نماید.

| S | R | Q | Q' |
|---|---|------------|----|
| 0 | 0 | بدون تغییر | |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | غیر مجاز | |

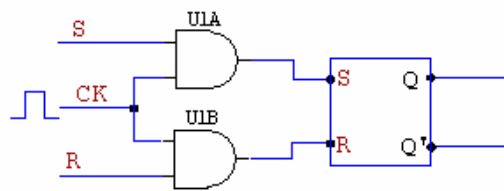
جدول ۶-۱

آزمایش ۶-۱

مدار شکل ۶-۱ را روی برد بسته و درستی و یا نادرستی جدول ۶-۱ را اثبات نمایید.

در صورتی که بخواهید این فلیپ فلاپ توسط کلاک پالس کار کند؛ یعنی تا زمانی که پالس ساعت به این فلیپ فلاپ اعمال نگردد، فلیپ فلاپ عمل ننماید بایستی در این مدار تغییراتی اعمال گردد.

شکل ۶-۲ مدار فلیپ فلاپ اصلاح شده RS را نمایش می دهد.



شکل ۶-۲ مدار اصلاح شده فلیپ فلاپ نوع RS

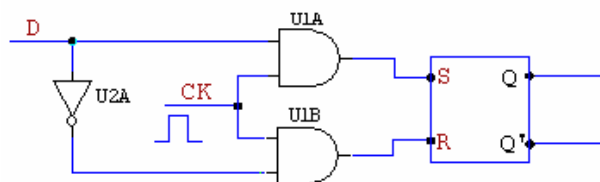
فلیپ فلاپ نوع D:

همانگونه که در جدول ۶-۱ نیز مشاهده می نمایید دو حالت عکس یکدیگر می باشند. (حالت دوم و حالت سوم)

یک حالت نیز در این جدول غیر معتبر می باشد و حالت اول نیز فقط در موارد خاص بکار می رود بنابراین در صورتی که دو حالت وسط را فقط برای این فلیپ فلاپ ایجاد نماییم فلیپ فلاپ نوع D بوجود می آید.

تنها راه ممکن نیز قرار دادن یک گیت NOT بین دو ورودی می باشد.

شکل ۶-۳ مدار داخلی یک فلیپ فلاپ نوع D را نمایش می دهد.



شکل ۶-۳ مدار داخلی فلیپ فلاپ نوع D

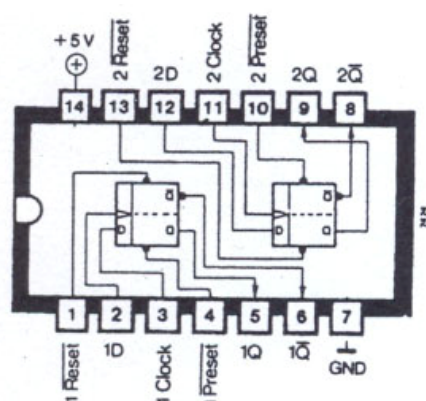
جدول ۶-۲ نیز تمامی حالات فلیپ فلاپ فوق را نمایش می دهد.

| CK | D | Q | Q' |
|----|---|---|----|
| | 0 | 0 | 1 |
| | 1 | 1 | 0 |

جدول ۶-۲ جدول مشخصه فلیپ فلاپ نوع D

برخی از برخی از فلیپ فلاپها با سطح کلاک پاس فعال می گردند و برخی دیگر توسط لبه بالارونده یا پایین رونده پالس. که این امر بستگی به ساختمان داخلی آنها دارد.

آی سی ۷۴۷۴ از دو فلیپ فلاپ نوع D تشکیل شده است. شکل ۶-۴ مدار داخلی این آی سی را نمایش می دهد. جدول ۶-۳ جدول صحت آی سی ۷۴۷۴ را نمایش می دهد.



شکل ۴-۶ مدار داخلی آی سی ۷۴۷۴

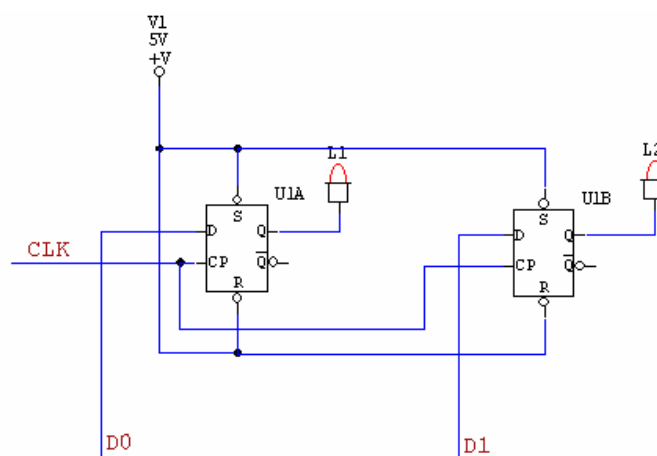
| Inputs | | | | Outputs | |
|--------|-------|-------|---|-----------|-----------|
| Preset | Reset | Clock | D | Q | \bar{Q} |
| L | H | X | X | H | L |
| H | L | X | X | L | H |
| L | L | X | X | H* | H* |
| H | H | | H | H | L |
| H | H | | L | L | H |
| H | H | L | X | no change | no change |
| H | H | H | X | no change | no change |
| H | H | | X | no change | no change |

جدول ۳-۶

همانگونه که در جدول فوق نیز مشاهده می‌نمایید، جهت کار عادی آی سی بایستی پایه های PRESET و RESET را HIGH نمایم. در غیر اینصورت خروجی، فارغ از ورودی توسط این دو پایه کنترل خواهد شد.

آزمایش ۲-۶: (فلیپ فلاپ بعنوان ثبات)

مدار شکل ۵-۶ را روی برد برد ببندید.

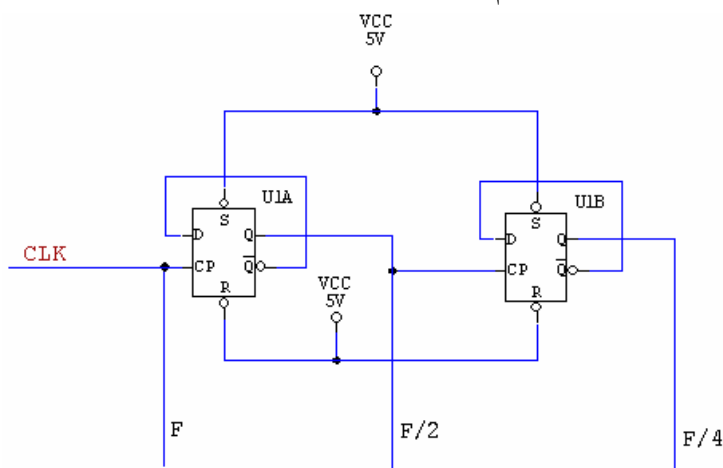


مدار شکل ۵-۶

تذکر (VCC در این آی سی پایه ۱۴ و Gnd در این آی سی پایه ۷ می باشد . بنابراین بجز اتصالات کشیده شده در مدار این دو پایه را نیز به تغذیه متصل نمایید .)

مدار شکل ۵-۶ یک ثبات (لچ کننده ورودی) می باشد . ابتدا دو کد باینری را در ورودی های D0 و D1 متصل نمایید و سپس با اعمال یک سیگنال Low به high به ورودی clk فلیپ فلاپ را تحریک نمایید تا ورودی بطور کامل در خروجی قرار گیرد . حال ورودی را تغییر دهید متوجه خواهید شد که خروجی هیچگونه تغییری نخواهد یافت و این بدان معناست که خروجی لچ شده است . برای اعمال ورودی به خروجی بار دیگر بایستی سیگنال low به high به پایه clk اعمال نمود .

آزمایش ۳-۶: (فلیپ فلاپ بعنوان مقسم فرکانس)



شکل ۶-۶ مدار مقسم فرکانس تقسیم به ۴

مدار شکل ۶-۶ را روی برد بسته و سپس توسط فانکشن ژنراتور فرکانس 2KHZ با دامنه ۵ ولت TTL به پایه CLK اعمال نمایید . و توسط پراب اسیلوسکوپ فرکانس خروجی $f/2$ و $f/4$ را مشاهده نمایید.

- در صورتی که نیاز به تقسیم فرکانس ۱۶ داشته باشیم به چند عدد از این فلیپ فلاپها نیاز داریم؟